

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-091425

(43)Date of publication of application : 31.03.2000

(51)Int.Cl.

H01L 21/768
H01L 21/318
H01L 21/3205

(21)Application number : 10-253049

(71)Applicant : NEC CORP

(22)Date of filing : 07.09.1998

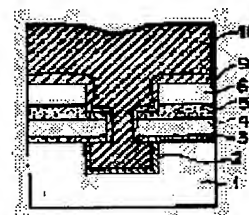
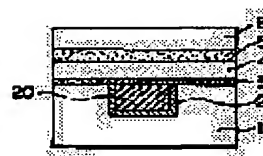
(72)Inventor : TSUCHIYA YASUAKI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To form a dual-damascene groove, without collapsing a form and to connect a lower wiring and an upper wiring with a via plug.

SOLUTION: This device includes an inter-lower layer insulating film 1, an etching groove installed in the inter-lower insulating film 1, a lower barrier film 2 formed in the etching groove, a lower wiring 20 with which the etching groove is filled, a first etching stopper film 3 formed on the inter-lower layer insulating film 1, an inter-via level layer insulating film 4 formed on the film 3, a second etch stopper film 5 formed on the film 4 and an inter-upper layer insulating film 6 formed on the film 5. The groove of a dual-damascene form is formed on the etching groove, and an upper barrier film 9 is formed on the sidewall of the groove in the dualer machine form through oblique sputtering. The groove in the dual damascene machine form is filled with an upper wiring 10.



LEGAL STATUS

[Date of request for examination] 07.09.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3189970

[Date of registration] 18.05.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号
特開2000-91425
(P2000-91425A)

(43) 公開日 平成12年3月31日(2000.3.31)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 21/768		H 0 1 L 21/90	B 5 F 0 3 3
21/318		21/318	C 5 F 0 5 8
21/3205		21/88	M

審査請求 有 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平10-253049

(22) 出願日 平成10年9月7日(1998.9.7)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 土屋 泰章

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100065385

弁理士 山下 稔平

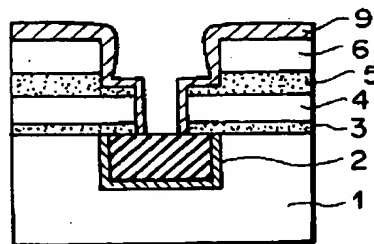
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 形状の崩れのないデュアルダマシン溝を形成し、下層配線と上層配線とをビアプラグで接続することを課題としている。

【解決手段】 下層層間絶縁膜1と、下層層間絶縁膜1に設けたエッチング溝と、前記エッチング溝に形成した下層バリア膜2と、前記エッチング溝を埋め込む下層配線20と、前記下層層間絶縁膜1上に形成した第1エッチストップ膜3と、その上に形成したビアレベル層間絶縁膜4と、更にその上に形成した第2エッチストップ膜5と、更にその上に形成した上層層間絶縁膜6とを含む半導体装置の製造方法であって、前記エッチング溝上にデュアルダマシン形状の溝を形成し、前記デュアルダマシン形状の溝の側壁に斜めスパッタで上層バリア膜9を形成し、前記デュアルダマシン形状の溝を上層配線10で埋め込むようにしている。



【特許請求の範囲】

【請求項 1】 下層層間絶縁膜と、前記下層層間絶縁膜に設けたエッチング溝と、前記エッチング溝に形成した下層バリア膜と、前記エッチング溝を埋め込む下層配線と、前記下層層間絶縁膜上に形成した第 1 エッチストップ膜と、前記第 1 エッチストップ膜上に形成したビアレベル層間絶縁膜と、前記ビアレベル層間絶縁膜上に形成した第 2 エッチストップ膜と、第 2 エッチストップ膜上に形成した上層層間絶縁膜とを含む半導体装置の製造方法であって、

前記エッチング溝上にデュアルダマシ形状の溝を形成し、

前記上層層間絶縁膜の表面と前記下層配線表面と前記デュアルダマシ形状の溝の側壁とにバリア膜を形成し、前記バリア膜をエッチバックして、前記上層層間絶縁膜の表面及び前記下層配線表面から前記バリア膜を除去し、

前記デュアルダマシ形状の溝を清浄化して前記バリア層を除去し、

前記デュアルダマシ形状の溝の側壁に上層バリア膜を形成し、

前記デュアルダマシ形状の溝を上層配線で埋め込むことを特徴とする半導体装置の製造方法。

【請求項 2】 前記上層バリア膜を、斜めスパッタ法で形成することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記上層バリア膜は、前記下層バリア膜と同一の成分元素を含み、前記上層配線は、前記下層配線と同一の成分元素を含むことを特徴とする請求項 1 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置の製造方法に関し、特にデュアルダマシ法により、多層配線を形成する半導体装置の製造方法に関する。

【0002】

【従来の技術】 半導体集積回路の集積度の向上に伴い、多層配線の形成が不可欠となっている。この多層配線を形成する方法として、デュアルダマシ法が知られている。この方法は、図 12 に示すように、下層配線 20 を形成した後、下層配線 20 と同一の材料で上層配線に接続するビアプラグを形成する方法である。

【0003】 図 12 に示すように、デュアルダマシ法においては、まず、下層配線 20 たとえば Cu 配線をダマシ法で作製した後、下層配線 20 の上に、第 1 エッチストップ膜 3 たとえば窒化シリコンを堆積し、その上にビアレベルの層間絶縁膜 4 を堆積し、その上に第 2 エッチストップ膜 5 たとえば酸化シリコンを堆積する。ここに、層間絶縁膜 4 は SiN と SiO₂ から成る膜であつてもよい。そして、更に、第 2 エッチストップ膜 5

の上に上層層間絶縁膜 6 を堆積し、その上にバリア膜 8 たとえば TiN を堆積する。

【0004】 次に、図 13 に示すように、フォトリジスト 7 をマスクとして、第 2 エッチストップ膜 5 が抜けるところまでエッチングして、ビアホールを形成する。

【0005】 次に、図 14 に示すように、フォトリジスト膜 7 を除去して新たにフォトリジスト膜 71 を配線溝パターンに形成した後、高選択比エッチング (SiO₂ : SiN = 20 : 1) によりデュアルダマシ形状にエッチングする。

【0006】 次に、図 15 に示すように、下層配線 20 上の第 1 エッチストップ膜 3 を下層配線 20 の表面までエッチングする。以上のようにして、デュアルダマシ形状が形成される。

【0007】 上述した従来の技術では、あらかじめ上層層間絶縁膜 6 を堆積した直後にバリア膜 8 を堆積してある。この理由は、下層配線 20 の表面すなわちビア底部からバリア膜を除去するためのエッチバック工程で上層層間絶縁膜 6 表面のバリア膜 8 も除去され、この後の Cu-CVD で上層層間絶縁膜 6 表面に Cu が直接堆積することになり、堆積した Cu 膜の剥がれや上層層間絶縁膜 6 中への Cu の拡散など問題を生じることを回避すべく、エッチバック後にも層間絶縁膜 6 表面にバリア膜 8 が残存させるためである。

【0008】

【発明が解決しようとする課題】 しかし、図 15 に示す高選択比エッチングの際にバリア膜 8 としての例えば TiN は第 1 エッチストップ膜 3 たとえば SiN 膜との選択比が少なくエッチングされにくい。従って、多くのデポ物を生じ、デポ物が付着した第 2 ストップ膜 5 たとえば酸化膜がエッチングされないなどの問題から高選択比エッチングによるデュアルダマシ溝のエッチング形状が崩れる。

【0009】 これを回避するためには、デュアルダマシ溝を形成した後にバリア膜 8 を堆積することも考えられる。

【0010】 しかし、通常のスパッタ法や CVD 法では下層配線 20 表面にもバリア膜 8 が堆積してしまう。

【0011】 そこで、本発明は、形状の崩れのないデュアルダマシ溝を形成し、下層配線と上層配線とをビアプラグで接続することを課題としている。

【0012】

【課題を解決するための手段】 上記の課題を解決するための本発明は、下層層間絶縁膜と、前記下層層間絶縁膜に設けたエッチング溝と、前記エッチング溝に形成した下層バリア膜と、前記エッチング溝を埋め込む下層配線と、前記下層層間絶縁膜上に形成した第 1 エッチストップ膜と、前記第 1 エッチストップ膜上に形成したビアレベル層間絶縁膜と、前記ビアレベル層間絶縁膜上に

形成した第2エッチストップ膜と、第2エッチストップ膜上に形成した上層層間絶縁膜とを含む半導体装置の製造方法であって、前記エッチング溝上にデュアルダマシ形状の溝を形成し、前記上層層間絶縁膜の表面と前記下層配線表面と前記デュアルダマシ形状の溝の側壁とにバリア膜を形成し、前記バリア膜をエッチバックして、前記上層層間絶縁膜の表面及び前記下層配線表面から前記バリア膜を除去し、前記デュアルダマシ形状の溝を清浄化して前記バリア層を除去し、前記デュアルダマシ形状の溝の側壁に上層バリア膜を形成し、前記デュアルダマシ形状の溝を上層配線材料で埋め込むようにしている。

【0013】

【発明の実施の形態】以下、図面を参照して、本発明の実施の形態について説明する。

【0014】図1は、本発明の半導体装置の製造方法で製造したビアプラグの断面図である。図1に示すように、下層層間絶縁膜1中の下層配線20と上層配線層間絶縁膜6中の上層配線10とが下層配線20と同一の材料たとえばCuのビアプラグにより接続されている。ここで、下層バリア膜2はビアプラグの下地である。又、第1エッチストップ膜3、ビアレベルの層間絶縁膜4、及び第2エッチストップ膜5の各材料は、デュアルダマシ溝を形成するために、エッチングレートが大きく異なる材料から選択されている。

【0015】図2乃至図10は、本発明のビアプラグの形成方法の工程図である。

【0016】図2に示すように、まず、下層配線20例えばCu配線をダマシ法で作製した後、下層配線20の上に、第1エッチストップ膜3たとえば窒化シリコンを堆積し、その上にビアレベルの層間絶縁膜4を堆積し、その上に第2エッチストップ膜5たとえば酸化シリコンを堆積する。ここに、ビアレベルの下層層間絶縁膜4はSiNとSiO₂から成る膜であってもよい。そして、更に、第2エッチストップ膜5の上に上層層間絶縁膜6を堆積する。

【0017】第1エッチストップ層3は例えばSiN層であり、第2エッチストップ層は例えば、SiO₂層であり、プラズマCVD法により積層する。各層の膜厚は第1エッチストップ層3の(SiN)が1000Å、ビアレベルの層間絶縁膜4の(SiO₂)が5000Å、第2のエッチストップ層(SiN)が3000Åである。

【0018】次に、図3に示すように、フォトレジスト7を塗布し、ビアホールパターンに成形した後、ビアホールを上層のSiN層(第2のエッチストップ層5)が抜けるところまでエッチングする。

【0019】次に、図4に示すように、ビアホールパターンのフォトレジスト7を除去した後、新たにフォトレジスト71を塗布し、配線溝パターンに成形する。

【0020】次に、図5に示すように、高選択比エッチング(SiO₂:SiN=20:1)によりデュアルダマシ形状にエッチングする。高選択比エッチングには、エッチングガスにCF₄、CHF₃、CO、O₂を用いた反応性イオンエッチング(RIE)を用いることができる。

【0021】次に、図6に示すように、レジスト剥離の酸素プラズマにCu表面がさらされることを避けるため、前もってレジストを除去する。そして、その後、下層配線20のCu上の第1エッチストップ膜3のSiN膜をCu表面まで通常のRIEによりエッチングする。

【0022】次に、図7に示すように、テトラキスジエチルアミノチタン(TDEAT:tetrakisdiethylamino-titanium)を原料としてバリア層8としてのMOCVD-TiN膜(500Å)を300℃で成膜する。

【0023】次に、図8に示すように、このバリア層8としてのTiN膜をエッチバックにより下層配線20としてのCu表面から除去する。又、ウェットおよびドライクリーニングを行い、ビアホール内部を清浄化して、ビアホール側壁のバリア層8を除去する。

【0024】次に、図9に示すように、斜めスパッタにより絶縁層間膜上面に優先的に上層バリア層9としてのTiN膜を成膜する。ここで、斜めスパッタにおいては、図11に示すように、スパッタリングターゲットに対して半導体ウエハを傾けて回転させる。こうすることにより、スパッタされた粒子は、ビアホール側壁に堆積し、ビアホールの底部、すなわち、下層配線20の表面には、スパッタされた粒子は到達しない。

【0025】次に、図10に示すように、トリメチルヴィニルシリルヘキサフルオロアセチルアセトネート銅(Cu(hfac)(tmvs):trimethylvinylsilylhexafluoroacetylacetonato Copper(I))をブリカーサとしたCVD法により170℃で上層配線10例えばCuを8000Å成膜する。Cu膜の密着性向上、粒成長のため窒素アニール(400℃×30min.)を行った後、アルミナスラリーを用いたCMPにより図1に示す配線形状を形成する。

【0026】以上、本発明の実施形態について説明したが、本発明はこれに限らず、上層配線膜10としての8000ÅのCVD-Cu膜に替えて、CVD-Cu膜を1000Å以下とし、その上に、銅めっきを施してもよい。

【0027】又、第1エッチストップ膜3としてSiN膜を用い、第2エッチストップ膜5としてエッチングの選択比が大きいSiO₂膜を用いたが、SiO₂膜に替えて、酸化弗化シリコンSiOF膜やシルセスキオクサン水素(HSQ(Hydrogen Silsesquioxane))膜を用いてもよい。

【0028】

【発明の効果】以上説明した本発明によれば、デュアル
 ダマシン法における配線溝およびビアホールのパター
 ンニング（エッチング）を窒化膜（SiN）ストッパー
 を用いた高選択比エッチングが良好に行えるので、ヴィ
 アプラグが上下層配線とバリア膜を介さないホモ接合構
 造の低抵抗多層配線の形成が可能となる。

【0029】又、本発明によれば、斜めスパッタで成膜
 したバリア膜が配線溝側壁に逆テーパ（溝の出口方向
 に厚い）に堆積しているため、化学的機械研磨（CMP）
 による配線の配線溝からの抜けを起りにくくして
 いる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法による多層配線
 の断面図。

【図2】本発明の半導体装置の製造方法の工程図。

【図3】本発明の半導体装置の製造方法の工程図（続
 き）。

【図4】本発明の半導体装置の製造方法の工程図（続
 き）。

【図5】本発明の半導体装置の製造方法の工程図（続
 き）。

【図6】本発明の半導体装置の製造方法の工程図（続
 き）。

【図7】本発明の半導体装置の製造方法の工程図（続

き）。

【図8】本発明の半導体装置の製造方法の工程図（続
 き）。

【図9】本発明の半導体装置の製造方法の工程図（続
 き）。

【図10】本発明の半導体装置の製造方法の工程図（続
 き）。

【図11】斜めスパッタの概念図。

【図12】従来の多層配線形成工程の工程図。

【図13】従来の多層配線形成工程の工程図（続き）。

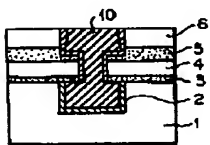
【図14】従来の多層配線形成工程の工程図（続き）。

【図15】従来の多層配線形成工程の工程図（続き）。

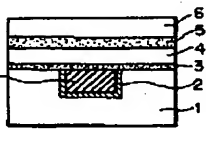
【符号の説明】

- 1 下層層間絶縁膜
- 2 下層バリア膜
- 3 第1エッチストッパ膜
- 4 ヴィアレベルの層間絶縁膜
- 5 第2エッチストッパ膜
- 6 上層層間絶縁膜
- 7, 71 フォトリソレジスト膜
- 8 バリア膜
- 9 上層バリア層
- 10 上層配線
- 20 下層配線

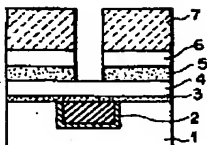
【図1】



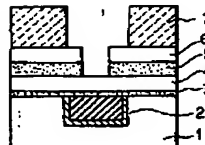
【図2】



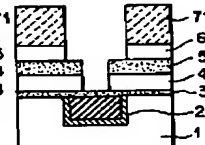
【図3】



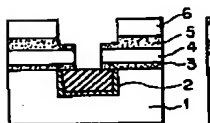
【図4】



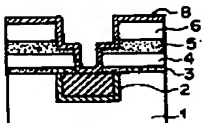
【図5】



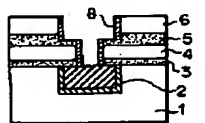
【図6】



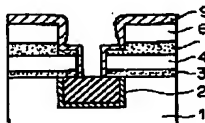
【図7】



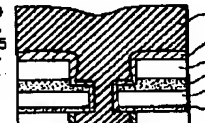
【図8】



【図9】



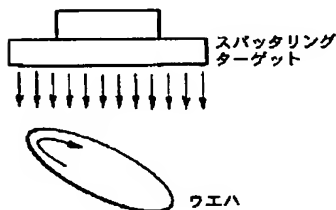
【図10】



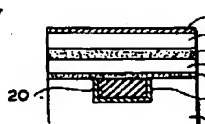
【図13】



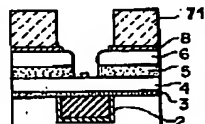
【図11】



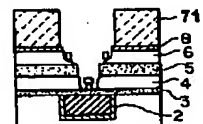
【図12】



【図14】



【図15】



フロントページの続き

Fターム(参考) 5F033 AA02 AA04 AA09 AA15 AA17
AA19 AA25 AA28 AA29 AA54
AA64 AA66 AA73 BA17 BA25
BA37 BA46 CA09 DA04 DA29
DA34 DA38 EA03 EA25 EA28
EA33
5F058 BA20 BD02 BD04 BD06 BD10
BD12 BD18 BF07 BH12 BJ01
BJ02